

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-022622

(43)Date of publication of application : 31.01.1991

(51)Int.Cl.

H03K 23/00

H03K 3/037

H03K 3/286

(21)Application number : 01-157635

(71)Applicant : NEC CORP

(22)Date of filing : 19.06.1989

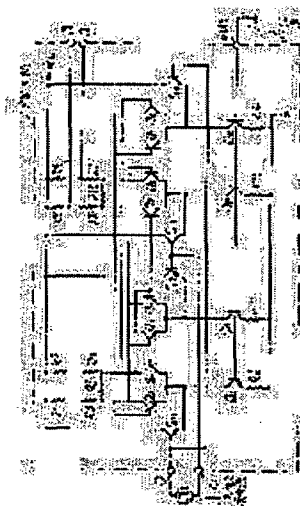
(72)Inventor : ISHII HIDEKAZU

(54) FREQUENCY DIVIDING CIRCUIT

(57)Abstract:

PURPOSE: To operate the circuit with a low power supply voltage by forming the circuit with 4 sets of circuits each comprising 3 transistors (TRs) in common emitter connection, 4 TRs each acting like a current source and two load circuits of series connection of two resistors.

CONSTITUTION: Collectors of TRs Q11-Q14 receiving a frequency division signal input are connected directly to a power supply and each emitter connects respectively to the common emitter of the TRs Q3, Q4, the common emitter of the TRs Q5, Q6, the common emitter of the TRs Q7, Q8, and the common emitter of the TRs Q9, Q12. Then the load of the TRs Q7-Q10 is the series connection circuit comprising resistors R8, R10 and the series connection circuit comprising resistors R9, R11, the resistor R12 is connected between the resistors R10 and R11 and an output is extracted from the connecting point between the resistors R8 and R10 and from the connecting point between the resistors R9 and R11. Thus, the operating power voltage is decreased to nearly 1.5V.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-22622

⑤ Int.Cl.⁵

H 03 K 23/00
3/037
3/286

識別記号

C
F

庁内整理番号

7125-5 J
7125-5 J
8626-5 J

⑬ 公開 平成3年(1991)1月31日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 分周回路

⑮ 特 願 平1-157635

⑯ 出 願 平1(1989)6月19日

⑰ 発 明 者 石 井 英 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

分 周 回 路

特 許 請 求 の 範 囲

共通エミッタ接続された第一乃至第三のトランジスタと、同じく共通エミッタ接続された第四乃至第六のトランジスタと、同じく共通エミッタ接続された第七乃至第九のトランジスタと、同じく共通エミッタ接続された第十乃至第十二のトランジスタと、前記それぞれの共通エミッタにそれぞれ接続された電流源と、前記第二および第三のトランジスタのコレクタと電源間にそれぞれ接続された第一の抵抗および第二の抵抗と、前記第二および第三のトランジスタのコレクタ間に接続された第三の抵抗と、前記第八のトランジスタのコレクタと電源間に直列に接続された第四および第五の抵抗と、前記第九のトランジスタのコレクタと電源間に直列に接続された第六および第七の抵抗

と、前記第八および第九のトランジスタのコレクタ間に接続された第八の抵抗とを有し、前記第一および第十のトランジスタのベースは共通に第一の入力端子へ接続し、前記第四と第七のトランジスタのベースは共通に第二の入力端子へ接続し、前記第一、第四、第七、第十のトランジスタのコレクタは電源へ接続し、前記第二および第六のトランジスタのコレクタは前記第五および第九のトランジスタのベースへ接続し、前記第三および第五のトランジスタのコレクタは前記第六および第八のトランジスタのベースへ接続し、前記第八および第十二のトランジスタのコレクタは前記第二および第十一のトランジスタのベースへ接続し、前記第九および第十一のトランジスタのコレクタは前記第三および第十二のトランジスタのベースへ接続し、前記第四および第五の抵抗の接続点並びに前記第六および第七の抵抗の接続点をそれぞれ第一および第二の出力端子へ接続して構成したことを特徴とする分周回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明はPLLにより周波数シンセサイザ等に用いられる分周回路に関し、特に低い電源電圧で動作する分周回路に関する。

〔従来の技術〕

従来、この種の分周回路はフリップフロップを用いて構成している。

第5図はかかる従来の一例を説明するための分周回路のブロック図である。

第5図に示すように、分周回路は第一および第二のフリップフロップ4A、4Bを有し、それぞれのQ出力がD入力に、また、 \overline{Q} 出力がD入力に接続され、T-フリップフロップとして動作している。この第一のフリップフロップ4Aの \overline{Q} 出力はエミッタフォロワトランジスタQ1を介して第二のフリップフロップ4Bのクロック \overline{CK} 入力へ結合され、また第一のフリップフロップ4AのQ出力はエミッタフォロワトランジスタQ2を介して第二のフリップフロップ4BのクロックCK入

入力される。

〔発明が解決しようとする課題〕

上述した従来の分周回路は、ECLフリップフロップ回路の間をエミッタフォロワ回路等で結合していると、低い電源電圧では動作できないという問題がある。

すなわち、最低電源電圧 V_{ccmin} は次のように表すことができる。

$$V_{ccmin} \approx V_{BEQ1} + V_{BEQ11} + V_{cmQ19}$$

ただし、 V_{BEQ1} : トランジスタQ1のベース・エミッタ間順方向電圧

V_{BEQ11} : トランジスタQ11のベース・エミッタ間順方向電圧

V_{cmQ19} : トランジスタQ19の飽和しないで動作できる下限コレクタ電圧

Q11、Q19 : 第6図において、E

力へ結合されている。尚、これらフリップフロップ4A、4BはECL回路で構成されている。

かかる分周回路はパルス信号源2の出力を第一のフリップフロップ4Aで2分周し、さらにその出力を第二のフリップフロップ4Bで2分周し全体では4分周回路を形成している。

第6図は第5図に示すフリップフロップの具体的回路図である。

第6図に示すように、かかる分周回路を形成するフリップフロップはD入力端子にベースが接続されるトランジスタQ3、Q4とそれぞれトランジスタ対を形成するQ5、Q6とQ7、Q8とQ9、Q10とクロック端子にベースが接続されるトランジスタQ11～Q14と、定電流源を形成し外部バイアス端子から駆動するトランジスタQ19、Q20と、負荷抵抗R1、R2とR8、R9とを有している。

かかるフリップフロップ回路において、Q、 \overline{Q} 端子は出力端子になるとともにD入力端子D、 \overline{D} に接続され、CK、 \overline{CK} 端子からはパルス信号が

CLによるフリップフロップ回路を構成するトランジスタ

である。

かかる最低電源電圧式より求まる電源電圧は、 $V_{ccmin} \approx 2.0V$ 程度となる。

このため、かかる分周回路をポータブル用のセットに使用するのには、電池の電圧の下限を0.9Vとすると、電源として電池が3本以上必要とするという欠点がある。

本発明の目的は、かかる最低電源電圧 V_{ccmin} を下げてコンパクトな分周回路を提供することにある。

〔課題を解決するための手段〕

本発明の分周回路は、共通エミッタ接続された3個のトランジスタよりなる4組の回路と、それぞれが電流源として動作する4つのトランジスタと、2本の抵抗を直列接続した2つの負荷回路と、これら負荷回路間に接続した抵抗とを有している。

すなわち、本発明の分周回路は、共通エミッタ接続された第一乃至第三のトランジスタと、同じく共通エミッタ接続された第四乃至第六のトランジスタと、同じく共通エミッタ接続された第七乃至第九のトランジスタと、同じく共通エミッタ接続された第十乃至第十二のトランジスタと、前記それぞれの共通エミッタにそれぞれ接続された電流源と、前記第二および第三のトランジスタのコレクタと電源間にそれぞれ接続された第一の抵抗および第二の抵抗と、前記第二および第三のトランジスタのコレクタ間に接続された第三の抵抗と、前記第八のトランジスタのコレクタと電源間に直列に接続された第四および第五の抵抗と、前記第九のトランジスタのコレクタと電源間に直列に接続された第六および第七の抵抗と、前記第八および第九のトランジスタのコレクタ間に接続された第八の抵抗とを有し、前記第一および第十のトランジスタのベースは共通に第一の入力端子へ接続し、前記第四と第七のトランジスタのベースは共通に第二の入力端子へ接続し、前記第一、第四、

スタ群(Q11, Q3, Q4)と、(Q12, Q5, Q6)と、(Q13, Q7, Q8)と、(Q14, Q9, Q10)とを有し、そのうちトランジスタQ11とQ14のベースはCK入力へ接続され、トランジスタQ12とQ13のベースはCK入力へ接続され、トランジスタQ11, Q3, Q4の共通エミッタはトランジスタQ15のコレクタへ接続され、Q12, Q5, Q6の共通エミッタはトランジスタQ16のコレクタへ接続され、Q13, Q7, Q8の共通エミッタはトランジスタQ17のコレクタへ接続され、Q14, Q9, Q10の共通エミッタはトランジスタQ18のコレクタへ接続される。また、トランジスタQ15, Q16, Q17, Q18のエミッタはそれぞれ抵抗R6, R7, R13, R14を介して基準電位へ接続され、トランジスタQ15, Q16, Q17, Q18のベースは共通にBIAS端子へ接続され、トランジスタQ11, Q12, Q13, Q14のコレクタは電源Vccへ接続される。また、トランジスタQ3およ

第七、第十のトランジスタのコレクタは電源へ接続し、前記第二および第六のトランジスタのコレクタは前記第五および第九のトランジスタのベースへ接続し、前記第三および第五のトランジスタのコレクタは前記第六および第八のトランジスタのベースへ接続し、前記第八および第十二のトランジスタのコレクタは前記第二および第十一のトランジスタのベースへ接続し、前記第九および第十一のトランジスタのコレクタは前記第三および第十二のトランジスタのベースへ接続し、前記第四および第五の抵抗の接続点並びに前記第六および第七の抵抗の接続点をそれぞれ第一および第二の出力端子へ接続して構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を示す分周回路図である。

第1図に示すように、本実施例は3つのトランジスタが共通エミッタ接続された4組のトラジ

びQ6のコレクタはトランジスタQ5およびQ8のベースへ接続され、トランジスタQ4およびQ5のコレクタはトランジスタQ6およびQ8のベースへ接続され、同様にトランジスタQ7, Q10のコレクタ並びにトランジスタQ8, Q9のコレクタはそれぞれトランジスタQ9, Q3と、トランジスタQ10, Q4と接続される。また、電源VccとトランジスタQ3のコレクタ間は負荷抵抗R1とR3の直列回路が接続され、同様にトランジスタQ4と電源間、トランジスタQ7と電源間、トランジスタQ8と電源間にそれぞれ負荷抵抗R2とR4, R8とR10, R9とR11の各直列回路が接続され、トランジスタQ3とQ4のコレクタ間およびトランジスタQ7とQ8のコレクタ間にそれぞれ抵抗R3, R12が接続される。更に、抵抗R8とR10の接続点並びに抵抗R9とR11の接続点からそれぞれQ出力およびQ出力が取り出される。

すなわち、本実施例は、分周信号入力印加されるトランジスタQ11～Q14のコレクタは直

接電源へ接続され、また、それぞれのエミッタはそれぞれトランジスタQ3、Q4の共通エミッタと、トランジスタQ5、Q6の共通エミッタと、トランジスタQ7、Q8の共通エミッタと、トランジスタQ9、Q12の共通エミッタとへ接続されている。しかも、トランジスタQ7～Q10の負荷は抵抗R8、R10の直列接続回路と抵抗R9、R11の直列接続回路であり、抵抗R10、R11の間には抵抗R12が接続され、これら抵抗R8とR10の接続点およびR9とR11の接続点から出力を取り出すものである。

かかる構成の分周回路において、まずCK入力電圧が \overline{CK} 入力の電圧より高いときには、トランジスタQ15による電流はQ11にのみ流れ、Q3、Q4はカットオフされる。一方、Q16による電流はQ5又はQ6の一方に流れ、Q12はカットオフである。すなわち、Q5、Q6はホールド回路として動作している。また、Q17による電流はQ7又はQ8の一方に流れ、Q13はカットオフである。すなわち、Q5、Q6でホールド

している状態をそのまま出力に伝えている。更に、Q18による電流はQ14にのみ流れ、Q9、Q10はカットオフである。

次に、CK入力電圧が反転して \overline{CK} 入力の電圧がCK入力の電圧よりも高くなると、Q15による電流はQ3又はQ4の一方に流れ、Q11はカットオフとなる。ここで、Q3とQ4のどちらに電流が流れるかは、CK入力と \overline{CK} 入力へ印加されていた入力電圧が反転する直前のQ7、Q8のコレクタ電圧によって決定される。また、Q16による電流はQ12に流れ、Q5、Q6はカットオフとする。同様にQ17による電流は、Q13に流れ、Q7、Q8はカットオフとなり、Q18による電流はQ9とQ10のどちらか一方に流れ、Q14はカットオフする。このQ9とQ10のどちらに電流が流れるかは、Q3とQ4の場合と同様に決定され、Q9とQ10はホールド回路として動作する。

上述した二つの動作状態を繰り返すことにより、分周動作が実行される。すなわち、T-F F

として動作している。ただし、上述の動作を実現するためには、次の二つの条件を満たすように回路定数が設定されている。

第一の条件は前段の分周回路の出力をCK、 \overline{CK} 入力に印加することによりトランジスタがON-OFFできるために、

$$\frac{r_2(r_1 + r_2)}{2r_1 + 2r_2 + r_3} \times I_E \geq 100 \text{ mV}$$

$$\frac{r_1 \cdot r_3 - r_2(r_1 + r_2)}{2r_1 + 2r_2 + r_3} \times I_E \geq 100 \text{ mV}$$

とする。ここで

r_1 : 抵抗R1、R2、R8、R9の値

r_2 : 抵抗R3、R4、R10、R11の値

r_3 : 抵抗R5、R12の値

I_E : Q15、Q16、Q17、Q18による電流

である。

また、第二の条件はトランジスタQ3～Q10が飽和しないために、

$$V_{BE} - V_{CEMIN} \geq \frac{(r_1 + r_2)(r_2 + r_3)}{2r_1 + 2r_2 + r_3} I_E$$

V_{BE} : トランジスタのベース・エミッタ間順方向電圧

V_{CEMIN} : トランジスタが飽和しないで動作できるコレクタ・エミッタ間下限電圧

とする。

例えば、 $V_{BE} = 0.8 \text{ V}$ 、 $V_{CEMIN} = 0.3 \text{ V}$ 、 $I_E = 300 \mu\text{A}$ のときに、 $r_1 = 2 \text{ K}\Omega$ 、 $r_2 = 1 \text{ K}\Omega$ 、 $r_3 = 3 \text{ K}\Omega$ とすれば、上記二つの条件を満たすことができる。

一般に、分周回路に用いられる半導体プロセスでは、トランジスタの電流密度を上げて動作速度の限界を高く選んでいるため、ベース・エミッタ間の順方向電圧は約0.8～0.9Vと高いが、通常のトランジスタの0.6～0.7Vよりも高いので、上記条件を満たすことは容易である。

更に上述した分周回路における最低電源電圧

$$V_{CCMIN} \text{ は } \frac{(r_1 + r_2)^2}{2r_1 + 2r_2 + r_3} \cdot I_E$$

$$+ V_{BE} + V_{CMINQ15}$$

である。ここで $V_{CMINQ15}$ はトランジスタ Q_{15} が飽和せずに動作できる最低コレクタ電圧（ $\approx 0.4V$ ）となり、 $V_{CCMIN} \approx 1.5V$ となる。

第2図は第1図に示す分周回路の分周動作上限周波数特性図である。

第2図に示すように、第1図に示す分周回路は電源電圧に対して分周動作する周波数の上限の特性を曲線aで表わしている。

第3図は第1図に示す分周回路を2段組合わせた応用回路図である。

第3図に示すように、かかる応用回路は第1図に示した分周回路を2段縦属に接続し4分周回路を構成した例である。

かかる回路からも分るように、二つの分周回路の間は直結で良い。

第4図は本発明の第二の実施例を示す分周回路図である。

第4図に示すように、本実施例は前述した第一の実施例に比較し、トランジスタ Q_{13} 、 Q_{14}

のコレクタにもそれぞれ負荷抵抗 R_{15} 、 R_{16} を接続し、分周されないそのままの周波数の出力も Q_2 と Q_2 出力端子から取り出すようにした点と、トランジスタ Q_3 、 Q_4 の負荷を抵抗 R_1 、 R_2 、 R_5 によりスター・デルタ変換している点が異なっている。

かかる分周回路の動作は第1図の例と同様であり、第2図の上限周波数特性でみると曲線bに相当し、動作電源電圧を約 $1.5V$ に下げられることも同様である。

〔発明の効果〕

以上説明したように、本発明の分周回路は、動作電源電圧を約 $1.5V$ まで下げることができ、ポータブル用のセットへ使用するのに電池が2本にできるという効果がある。

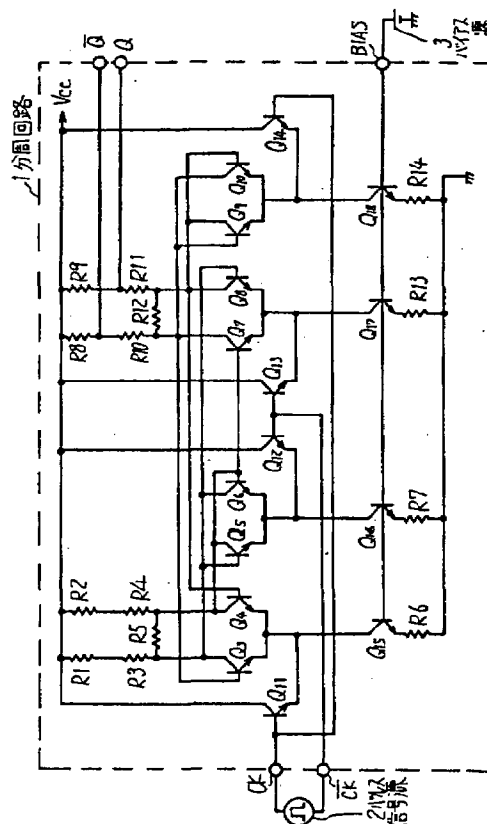
図面の簡単な説明

第1図は本発明の第一の実施例を示す分周回路図、第2図は第1図に示す分周回路の分周動作上限周波数特性図、第3図は第1図に示す分周回路

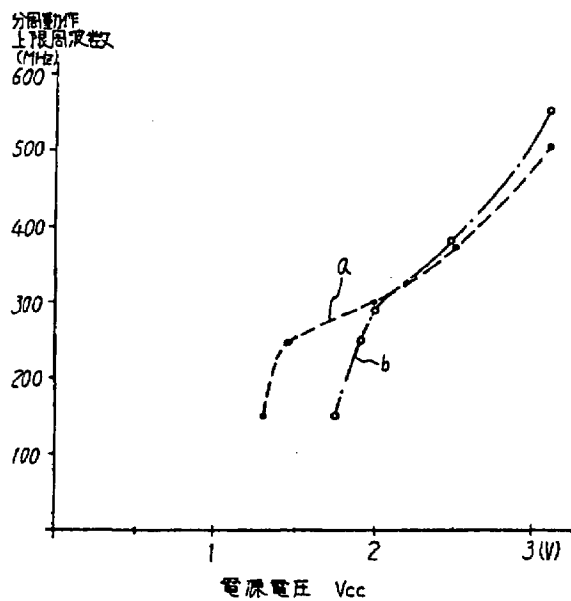
を2段組合わせた応用回路図、第4図は本発明の第二の実施例を示す分周回路図、第5図は従来の一例を説明するための分周回路のブロック図、第6図は第5図に示すフリップフロップの具体的回路図である。

1…分周回路、2…パルス信号源、3…バイアス源、 $Q_3 \sim Q_{18}$ …トランジスタ、 $R_1 \sim R_{16}$ …抵抗。

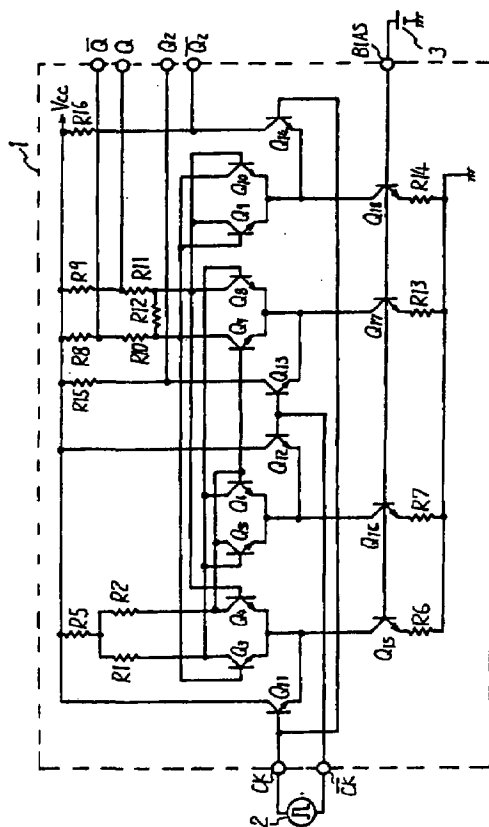
代理人 弁理士 内 原 晋



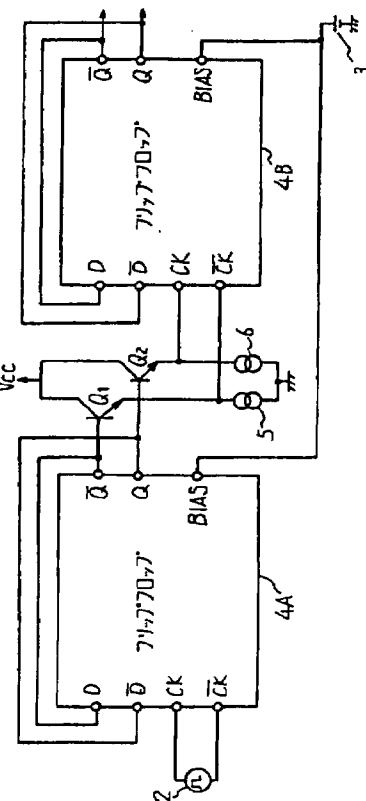
第 1 図



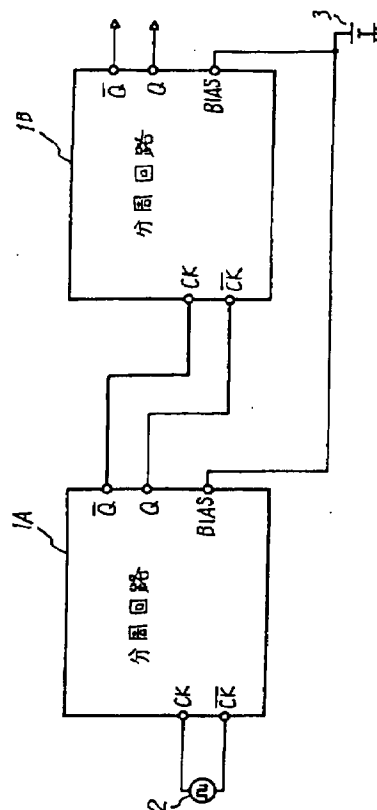
第 2 図



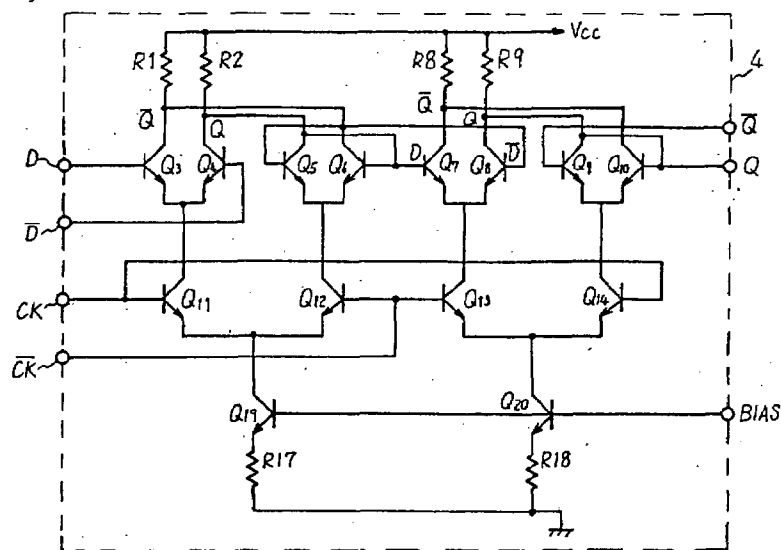
第 4 図



第 5 図



第 3 図



第 6 図